

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-236657

(43)Date of publication of application : 29.08.2000

(51)Int.Cl.

H02M 3/07

(21)Application number : 11-036498

(71)Applicant : NEC KYUSHU LTD

(22)Date of filing : 15.02.1999

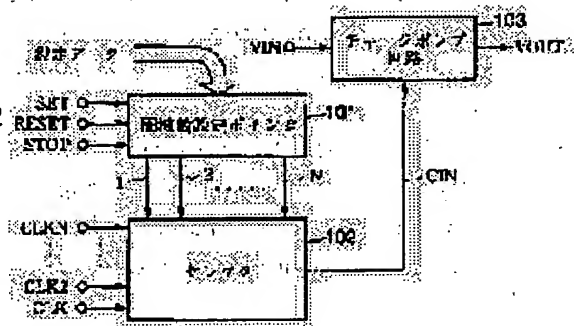
(72)Inventor : SUGASAWA YASUO

(54) BOOSTER CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To obtain a booster circuit in which short time boost operation is ensured, while reducing power consumption by providing a charge pump circuit with a highest frequency input clock signal at resetting or turning on of power and a lowest frequency input clock signal at low power consumption mode or at a standby.

SOLUTION: This booster circuit is for mounting a charge pump circuit 103, a clock frequency setting pointer 101 and a selector 102 for selecting a frequency corresponding to the pointed value. The pointer 101 sets the clock frequency at a highest frequency at resetting or turning on of power, thus boosting the voltage to a desired level in a shortest time. At low power consumption mode or standby, a lowest frequency for sustaining the output voltage of the charge pump circuit 103 at some level or above is set, thus minimizing current consumption. The input clock frequency is set depending on the use conditions during normal operation and the output voltage is kept at a constant level, while minimizing current consumption.



LEGAL STATUS

[Date of request for examination]

15.02.1999

[Date of sending the examiner's decision of rejection]

07.03.2000

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

2000-04932

[Date of requesting appeal against examiner's decision of rejection]

06.04.2000

[Date of extinction of right]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] In the booster circuit in which the selector which chooses the frequency corresponding to the value of a charge pump circuit, the frequency setting pointer which directs a setup of the frequency of the clock inputted into a charge pump circuit, and a pointer is carried The above-mentioned frequency setting pointer is set to the highest frequency by the time of reset of an equipment or a system including a booster circuit, and the power up, and carries out a pressure up to them to a desired electrical potential difference by the shortest time amount. It is set to the lowest frequency that can maintain the output voltage of a charge pump circuit in the state of low-power mode or standby beyond a certain value, and the consumed electric current is held down to min. The booster circuit characterized by setting up the frequency of the clock inputted into a charge pump circuit according to an operating condition at the time of normal operation.

[Claim 2] It is the booster circuit according to claim 1 characterized by carrying out the frequency setting of the directions of a setup of the frequency of the clock at the time of the normal operation of the above-mentioned frequency setting pointer more for writing data in the above-mentioned frequency setting pointer which consists of a latch circuit and the OR gate, and making it output this write-in signal.

[Claim 3] A charge pump circuit and the frequency setting pointer which directs a setup of the frequency of the clock inputted into a charge pump circuit, The electrical-potential-difference comparator circuit which sets up the clock frequency at the time of the normal operation of this frequency setting pointer, In the booster circuit in which the selector which chooses the frequency corresponding to the value of this pointer, and the counting-down circuit which generates the clock group inputted into this selector are carried By comparing the output voltage of a charge pump circuit with specific reference voltage, the above-mentioned electrical-potential-difference comparator circuit is a booster circuit characterized by being real time and making automatically a change of a setup of the clock frequency in a frequency setting pointer.

[Claim 4] A charge pump circuit and the frequency setting pointer which directs a setup of the frequency of the clock inputted into a charge pump circuit; The electrical-potential-difference comparator circuit which sets up the clock frequency at the time of the normal operation of this frequency setting pointer, In the booster circuit in which the selector which chooses the frequency corresponding to the value of this pointer, and the counting-down circuit which generates the clock group inputted into this selector are carried the above-mentioned electrical-potential-difference comparator circuit The booster circuit characterized by comparing the output voltage of a charge pump circuit with specific reference voltage, and making a clock frequency high, so that a degree with it is large. [the low and output voltage of a charge pump circuit and] [low]

[Claim 5] The reference voltage of the above-mentioned electrical-potential-difference comparator circuit is claim 3 characterized by being the minimum electrical potential difference permitted as output voltage of the above-mentioned charge pump circuit, and a booster circuit according to claim 4.

[Translation done.]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. **** shows the word which can not be translated.

3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the booster circuit in which the selector which chooses the frequency corresponding to the value of a charge pump circuit, the pointer which directs a setup of the frequency of the clock inputted into a charge pump circuit, and a pointer is carried. Since it is set to the lowest frequency that can keep constant the output voltage (VOUT) of a charge pump circuit, and can make min the current consumed in a booster circuit, and can maintain the output voltage of a charge pump circuit in the state of low-power mode or standby especially beyond a certain value, and the consumed electric current is held down to min and a frequency-setting pointer is set to the highest frequency to the time of reset, or a power up, it is related with the booster circuit which can carry out a pressure up to a desired electrical potential difference in the shortest time amount.

[0002]

[Description of the Prior Art] In the booster circuit which built in the conventional charge pump circuit, it was only that the frequency of the clock inputted into a charge pump circuit has immobilization or the change-over at the time of a standby condition. For example, the technique switched at the time of normal operation and a standby mode is indicated by JP, 1-241659, A. The block diagram of the booster circuit which builds drawing 1 of this official report in a microcomputer is shown. It consists of a charge pump circuit which has an input terminal Vin and an output terminal Vout, and a clock signal CLK inputs, and a change-over circuit which switches a clock signal. According to drawing 2 of this official report, a frequency divider is constituted from a selector which consists of the 1/n counting-down circuit which consists of frequency dividers, an inverter, the AND gate, and the OR gate, and at the time of normal operation, the signal which carried out dividing of the reference clock signal for the reference clock signal to 1/n at the time of a standby mode is chosen, respectively, and it has at it the function to input a clock signal CIN into a charge pump circuit.

[0003]

[Problem(s) to be Solved by the Invention] However, with this conventional technique, there was a problem that the current consumed in a booster circuit at the time of normal operation was large. The reason is that it has inputted into the charge pump circuit the clock signal of the highest frequency inputted from an external terminal at the time of normal operation. For example, since an interior-action frequency's being reduced and the access frequency of EPROM change with time amount progress when using the output of a charge pump circuit for read-out of EPROM built in a microcomputer, the current consumed with the output of a charge pump circuit changes. Therefore, it always is not necessary to input the clock signal of the highest frequency into a charge pump circuit. On the other hand, at a power up or the time of reset, in order to make into the shortest time amount which carries out a pressure up, it is effective to input the clock signal of the highest frequency into a charge pump circuit. At a power up or the time of reset, this invention carries out a pressure up by the shortest time amount, and offers the booster circuit which can reduce power consumption most not only at the time of standby but at the time of normal operation.

[0004]

[Means for Solving the Problem] By carrying the selector which chooses the frequency corresponding to the value of the pointer which directs a setup of the frequency of the clock inputted into a charge pump circuit, and a pointer, the booster circuit by this invention can keep constant the output voltage (VOUT) of a charge pump circuit, and can make min the current consumed in a booster circuit. Since the lowest frequency that can maintain the output voltage (VOUT) of the charge pump circuit which a pressure up can do to a desired electrical potential difference in the shortest time amount, and is beforehand called for by evaluation in the state of low-power mode or standby beyond a certain value since it is set to the highest frequency to the time of reset of an equipment or a system (for example, microcomputer) including a booster circuit or a power up is set, a frequency setting pointer can hold down the consumed electric current to min. At the time of normal operation, the frequency of the clock inputted into a charge pump circuit can be set up according to an operating condition. Since the electrical-potential-difference comparator circuit where the booster circuit of drawing 2 and drawing 3 compares reference voltage with the output voltage (VOUT) of a charge pump circuit to the frequency setting approach at the time of this normal operation carrying out by the data writing to a frequency setting pointer in the case of the frequency setting pointer of drawing 1 is built in, adjustable can be carried out automatically and it is characterized by automating a setup of a pointer. Further, the booster circuit of drawing 3 can carry out adjustable [of the rate which makes a frequency high by the degree of a fall], when the output voltage (VOUT) of a charge pump circuit declines. In the booster circuit in which the selector which chooses the frequency corresponding to the value of the frequency setting pointer which directs a setup of the clock frequency which inputs invention according to claim 1 into a charge pump circuit and a charge pump circuit, and a pointer is carried The above-mentioned frequency setting pointer is set to the highest frequency by the time of reset of an equipment or a system including a booster circuit, and the power up, and carries out a pressure up to them to a desired electrical potential difference by the shortest time amount. It is set to the lowest frequency that can maintain the output voltage of a charge pump circuit in the state of low-power mode or standby beyond a certain value, and the consumed electric current is held down to min. It is characterized by making into min the current which sets up the frequency of the clock inputted into a charge pump circuit according to an operating condition at the time of normal operation, and keeps the output voltage of a charge pump circuit constant, and is consumed in a booster circuit. Invention according to claim 2 is set to a booster circuit according to claim 1, and directions of a setup of the frequency of the clock at the time of the normal operation of the above-mentioned frequency setting pointer write data in the above-mentioned frequency setting pointer which consists of a latch circuit and the OR gate, and are characterized by carrying out a frequency setting more for making it output this write-in signal. The frequency setting pointer which directs a setup of the frequency of the clock which inputs invention according to claim 3 into a charge pump circuit and a charge pump circuit, The electrical-potential-difference comparator circuit which sets up the clock frequency at the time of the normal operation of this frequency setting pointer, In the booster circuit in which the selector which chooses the frequency corresponding to the value of this pointer, and the counting-down circuit which generates the clock group inputted into this selector are carried By comparing the output voltage of a charge pump circuit with specific reference voltage, the above-mentioned electrical-potential-difference comparator circuit is characterized by changing a setup of the clock frequency in a frequency setting pointer automatically on real time. The frequency setting pointer which directs a setup of the frequency of the clock which inputs invention according to claim 4 into a charge pump circuit and a charge pump circuit, The electrical-potential-difference comparator circuit which sets up the clock frequency at the time of the normal operation of this frequency setting pointer, In the booster circuit in which the selector which chooses the frequency corresponding to the value of this pointer, and the counting-down circuit which generates the clock group inputted into this selector are carried the above-mentioned electrical-potential-difference comparator circuit The output voltage of a charge pump circuit is compared with specific reference voltage, and it is characterized by making a clock frequency high, so that a degree with it is large. [the

low and output voltage of a charge pump circuit and] [low] Invention according to claim 5 is characterized by the reference voltage of the above-mentioned electrical-potential-difference comparator circuit being the minimum electrical-potential difference permitted as output voltage of the above-mentioned charge pump circuit in claim 3 and the booster circuit according to claim 4.

[0005]

[Embodiment of the Invention] Drawing 1 is the block diagram showing the configuration of the 1st example of this invention. It consists of a frequency setting pointer 101, a selector 102, and a charge pump circuit 103, the pressure up of the input power VIN is carried out, and it outputs to Terminal VOUT. The power source used in the circuit of the frequency setting pointer 101 or a selector 102 or the other power source is sufficient as input power VIN. Since Terminal VOUT can obtain supply of a charge from input power VIN, it can be used as a power supply terminal.

[0006] Next, the example of a circuit of the charge pump circuit 103 is explained with reference to drawing 4. The charge pump circuit of drawing 4 consists of capacitors 30 and 31, N channel transistors 32, 33, and 34, and an inverter 35, and has the function which supplies the charge of input power VIN to Terminal VOUT synchronizing with a clock signal CIN.

[0007] A selector 102 is explained with reference to the example of a circuit of drawing 5. A selector 102 has the function which chooses the clock signal CIN inputted into the charge pump circuit 103 from the clock signals CLK, CLK2, and CLK3 with which frequencies differ, ..., CLK_N. A clock signal CLK is the clock of the minimum frequency which can maintain the potential of the terminal VOUT of a charge pump circuit beyond a certain value, when the equipment and the system by which clock signal CLK_N includes the booster circuit of this invention are set as low-power mode or a standby condition in the clock of the highest frequency used by equipment including the booster circuit of this invention, and the system. The circuit of drawing 5 is a circuit which can choose from CLK1, CLK2, CLK3, and CLK4 the clock signal CIN clock signal inputted into a charge pump circuit, and consists of clocked buffers 20, 21, 22, and 23. When an input signal 1 is High level, CLK1 is chosen as a clock signal CIN, and similarly, when an input signal 2 is High level, CLK2 and an input signal 3 are High level and CLK3 and an input signal 4 are High level, CLK4 is chosen. Although the example of a circuit of this drawing shows the case where the number of the clock signals which can be chosen is four, the number of inputs and frequency of a clock signal may be set as arbitration.

[0008] Next, the example of a circuit of the frequency setting pointer 101 is explained with reference to drawing 6. It consists of latch circuits 11, 12, 13, and 14 and the OR gate 15. The output signal 1 of a latch circuit 11 is a signal which is set when RESET changes to High level, is reset when Signal STOP changes to High level, and latches and outputs the value of the setting data DAT A1 when Signal SET changes to High level. Similarly, the output signal 2 of a latch circuit 12 is a signal which is reset when Signal RESET and Signal STOP change to High level, and latches and outputs the value of the setting data DAT A2 when Signal SET changes to High level. The output signal 3 of a latch circuit 13 is a signal which is reset when Signal RESET and Signal STOP change to High level, and latches and outputs the value of setting data DAT A3 when Signal SET changes to High level. The output signal 1 of a latch circuit 14 is a signal which is reset when RESET changes to High level, is set when Signal STOP changes to High level, and latches and outputs the value of setting data DAT A4 when Signal SET changes to High level.

[0009] With reference to the circuit diagram of drawing 4, and the timing diagram of drawing 16, explanation of the charge pump circuit 103 of operation is given. The threshold of V36 and the N channel transistors 32, 33, and 34 is set [the High level electrical potential difference of a clock signal CIN and the output signal CINB of an inverter 35 / VIN and a Low level electrical potential difference] to VT for the initial voltage of 0 and a contact 36 for explanation. When a clock signal CIN changes from initial value Low level to High level, the potential of a contact 36 serves as V36+VIN, and since the N channel transistor 32 turns on off and the N channel transistor 33, the charge stored by the capacitor 30 is stored in a capacitor 31 through a contact 37. At this time, the potential of a contact 37 serves as

VOUT-VT, and since the N channel transistor 34 is turned off, it does not have the influx of a VOUT terminal to a current. The condition at this time is shown at T31 period of drawing 16 .

[0010] If a clock signal CIN changes to Low level after this, since the output signal CINB of an inverter 35 is set to High level, the potential of a contact 37 will rise to VOUT-VT+VIN, and the charge stored by the capacitor 31 since the N channel transistor 33 turned on off and the N channel transistor 34 will be sent to a VOUT terminal. The potential of a contact 37 falls for a time for migration of a charge. Since a current is consumed in the equipment or the circuit which connects a VOUT terminal, potential falls for a time. On the other hand, since the N channel transistor 32 is turned on, the charge of input power VIN is moved and stored in a capacitor 30. The condition at this time is shown at T32 period of drawing 16 .

[0011] If a clock signal CIN changes to High level again, since transistors 32, 33, and 34 will be in the condition which shows at R> 6T drawing 16 33 period and a VOUT terminal does not have supply of a charge, potential will fall further. If the VOUT terminal potential at the time of T33 period termination is too low, malfunction of the equipment or the circuit linked to a VOUT terminal may be caused.

[0012] Thus, since it can supply the charge of input power VIN to a VOUT terminal synchronizing with a clock signal CIN, by making the frequency of a clock signal CIN high, the charge pump circuit 103 needs to make [many] the charge amount of supply from input power VIN, and when the fall of potential of a VOUT terminal is large, when the fall of potential of a VOUT terminal is small, it can make the frequency of a clock signal CIN low. For example, when using the power source of the output terminal of a booster circuit for EPROM read-out electrical-potential-difference generation of a microcomputer with a built-in EPROM, the charge pump circuit 103 inputs 3V into input power VIN, and has the capacity which supplies 4.5V to an output terminal VOUT.

[0013] With reference to drawing 13 , explanation of the frequency setting pointer 101 of operation is given. Drawing 13 is the timing diagram which showed circuit actuation of the frequency setting pointer shown in the selector shown in drawing 5 , and drawing 6 . If Signal RESET changes to High level, a signal 1 will be set as High level and signals 2, 3, and 4 will be set as Low level. A RESET signal is a pulse signal which changes to the time of reset of equipment including the booster circuit of this invention, and a system, and a power up at High. The signals 1, 2, 3, and 4 set up at this time hold a value until Signal SET and Signal STOP change to High level. As for the clock signal CIN with which a signal 1 inputs it into the charge pump circuit 103 by the selector 102 since the period T1 after Signal RESET changes to High level until Signal SET changes to High level is High-level, the clock signal CLK of the maximum high speed is chosen. According to the value of the setting data DAT A1, DATA2, DATA3, and DATA4 in case Signal SET changes to High level, either of the signals 1, 2, 3, and 4 is set as High level at T2 of drawing 13 , T3, T four, and T5 period. As for the clock signal CIN inputted into the charge pump circuit 103 in a selector 102, a clock signal CLK is chosen in T2 period. During T tertiary stage, a clock signal CLK3 is similarly chosen in a clock signal CLK4 and T5 period by the clock signal CLK2 and T-four period.

[0014] If Signal STOP changes to High level, a signal 4 will be set as High level and signals 1, 2, and 3 will be set as Low level. A STOP signal is a signal which changes to High, when equipment and a system including the booster circuit of this invention are set as low-power mode or a standby condition. At this time, a clock signal CLK4 is chosen by the selector 102. A clock signal CLK4 is the clock of the lowest frequency which can maintain the potential of the terminal VOUT of the charge pump circuit 103 beyond a certain value. The condition at this time is shown at T6 period.

[0015] For example, as an EPROM read-out electrical potential difference of a microcomputer with a built-in EPROM, when using the power source of the output terminal of a booster circuit, the oscillator output clock of a microcomputer or the output clock of a PLL circuit is used for the clock signal of the highest frequency. the object for clock timers which builds the potential of the terminal VOUT of the charge pump circuit 103 in the clock signal CLK4 of the lowest frequency which can be maintained beyond a certain value — the clock signal of the frequency of 32KHZ(s) can be used.

[0016] Drawing 2 is the block diagram showing the configuration of the 2nd example of this invention. It consists of the frequency setting pointer 201, a selector 102, a charge pump circuit 103, a counting-down circuit 204, and an electrical-potential-difference comparator circuit 205. The circuit of the frequency setting pointer 201 was changed from the 1st example, and the counting-down circuit 204 and the electrical-potential-difference comparator circuit 205 were added.

[0017] The example of a circuit of the frequency setting pointer 201 is explained with reference to drawing 7. In addition to the latch circuits 11, 12, 13, and 14 and the OR gate 15 which were constituted from the 1st example, it consists of latch circuits 211, 212, 213, and 214, the AND gates 221, 241, 222, 242, 223, 243, 224, and 244, and the OR gates 231, 232, 233, and 234. Signals 1, 2, 3, and 4 are the same outputs as an example 1, when Signal RESET and Signal STOP change to High level, but when Signal SET changes to High level, they change in the state of Signal FAST and Signal SLOW.

[0018] The example of a circuit of the electrical-potential-difference comparator circuit 205 is explained with reference to drawing 8. A circuit consists of a comparator 59 and the AND gates 57 and 58. The potential and reference voltage of Terminal VOUT of the charge pump circuit 103 are compared, and when the potential of Terminal VOUT is low, High level and Signal SLOW are set as Low level for Signal FAST, and when the potential of Terminal VOUT is conversely high, Low level and Signal SLOW are set as High level for Signal FAST. Reference voltage inputs the minimum potential permitted with the terminal VOUT of the charge pump circuit 103. The example of a circuit of a comparator 59 is shown in drawing 12. Although this circuit consists of P channel transistors 50, 51, and 56, N channel transistors 52, 53, and 54, and an inverter 55, and a comparator does not operate effectively when Signal STOP is High level, the consumed electric current of a comparator can be lost.

[0019] Next, the example of a circuit of a counting-down circuit 204 is explained with reference to drawing 9. It consists of 1/2 frequency dividers 41, 42, and 43, and the clock signal CLK2 which carried out dividing of the clock signal CLK of the highest frequency to one half, the clock signal CLK3 which carried out dividing to 1/4, and the clock signal CLK4 which carried out dividing to 1/8 are outputted. Although this drawing described the circuitry which outputs three kinds of clock signals, a frequency divider can be fluctuated according to the input number of the clock signal of a selector 102. Moreover, it is not necessary to limit the division ratio of a frequency divider to one half.

[0020] Actuation of an example 2 is explained. With reference to drawing 14, explanation of the frequency setting pointer 201 of operation is given. Drawing 1414 is the timing diagram which showed circuit actuation of the frequency setting pointer of drawing 7. T11 period of drawing 14 — a signal 1 — High level — output-signal 1D of a latch circuit 211, 212, 213, 214 is set as High level, and signal 2D, 3D, and 4D are set as Low level for signals 2, 3, and 4 by Low level. since Signal SLOW is High level when Signal SET changes to High level in T12 period — a signal 1 — GND level, i.e., Low level, — a signal 3 latches the Low level of signal 2D, a signal 4 latches the Low level of signal 3D, respectively, and a signal 2 outputs the High level of signal 1D.

[0021] since Signal SLOW is High level when Signal SET changes to High level like [T13 and T14 period] T12 period — a signal 1 — GND level, i.e., Low level, — a signal 3 latches signal 2D, a signal 4 latches signal 3D, respectively, and a signal 2 outputs signal 1D. the clock signal CIN inputted into a charge pump-output circuit in a selector 102 — T11 period — a clock signal CLK — in T12 period, a clock signal CLK3 is chosen in T13 period, a clock signal CLK4 is chosen in T14 period, respectively, and, as for the frequency, the clock signal CLK2 becomes low.

[0022] since Signal FAST is High level on the other hand when Signal SET changes to High level in T15 period — a signal 1 — the Low level of signal 2D — a signal 3 latches the High level of signal 4D, a signal 4 latches GND level, i.e., Low level, respectively, and a signal 2 outputs the Low level of signal 3D. At this time, as for the clock signal CIN inputted into a charge pump-output circuit compared with T14 period, a frequency becomes high. Thus, it is high in the frequency of the signal CIN inputted into a charge pump when Signal SLOW is High level, and a frequency can be made low when Signal FAST is High level.

[0023] Drawing 3 is the block diagram showing the configuration of the 3rd example of this invention. It consists of the frequency setting pointer 301, a selector 102, a charge pump circuit 103, a counting-down circuit 204, and an electrical-potential-difference comparator circuit 305. The circuit of the frequency setting pointer 301 and the electrical-potential-difference comparator 305 was changed from the 2nd example.

[0024] The example of a circuit of the frequency setting pointer 301 is explained with reference to drawing 10 R> 0. In addition to the latch circuits 11, 12, 13, and 14, 211, 212, 213, 214 and the OR gate 15 which were constituted from the 2nd example, it consists of the AND gates 261, 271, 281, 241, 262, 272, 282, 242, 263, 273, 283, 243, 264, 274, 284, and 244 and the OR gates 311 and 291, 292, 293, 294.

[0025] The example of a circuit of the electrical-potential-difference comparator circuit 505 is explained with reference to drawing 11. In addition to the comparator 59 and the AND gate 57 which were constituted from the 2nd example, it consists of comparators 63 and 64, the AND gates 60, 61, and 62, and resistance 65, 66, and 67. The potential and reference voltage of Terminal VOUT of the charge pump circuit 103 are compared, either serves as High level in the order of Signals FAST2, FAST1, and FAST, so that a degree low when the potential of Terminal VOUT is low is large, and Signal SLOW is set as Low level. Conversely, when the potential of Terminal VOUT is high, Low level and Signal SLOW are set as High level for signals FAST, FAST1, and FAST2. Reference voltage inputs the minimum potential permitted with the terminal VOUT of the charge pump circuit 103 like an example 2. The circuit of comparators 59, 63, and 64 is shown in drawing 12 like an example 2.

[0026] Actuation of an example 3 is explained. With reference to drawing 15, explanation of the frequency setting pointer 301 of operation is given. Drawing 1515 is the timing diagram which showed circuit actuation of the frequency setting pointer of drawing 10. Since it is the point that Signal SET changes from T21 period to High level till T24 period and Signal SLOW is High level, it is the completely same actuation as T11 to T14 period shown in timing diagram drawing 14 of the frequency setting pointer 201 of the 2nd example. Similarly, although not shown in the timing diagram of drawing 15, Signal SET is the point of changing to High level, and also when Signal FAST is High level, it is the completely same actuation as the 2nd example.

[0027] In that Signal SET changes to High level, when a signal FAST 1 is High level, a signal 1 latches High level, when signal 2D or signal 3D is High level, when that is not right, it latches Low level, and outputs. A signal 2 latches and outputs the level of signal 4D. Signals 3 and 4 latch and output GND level, i.e., Low level. In the example of T25 period of drawing 15, since signal 4D is [signal 1D, 2D, and 3D] Low level on High level, a signal 2 latches Low level and, as for signals 1, 3, and 4, outputs the High level of signal 4D, respectively. In that Signal SET changes to High level, when a signal FAST 2 is High level, a signal 1 latches and outputs power-source level, i.e., High level. Signals 2, 3, and 4 latch GND level, i.e., Low level, respectively, and output it. Thus, if the signals [FAST / FAST or / 2] 1 change to High level, the clock signal CIN inputted into a charge pump-output circuit compared with the case where Signal FAST changes to High level, in the example 2 can make a frequency high more.

[0028]

[Effect of the Invention] By the shortest time amount, to desired potential, I hear that the pressure up of the 1st effectiveness in the 1st example can be carried out to the time of reset of equipment and a system, or a power up, and it is in them. The reason is that it chooses the clock of the highest frequency as the input-clock signal of a charge pump circuit at the time of reset of equipment and a system, and a power up. When equipment and a system are set as low-power mode or a standby condition, I hear that the current consumed in a booster circuit is made as for the 2nd effectiveness to min, and there is. The reason is that it chooses the clock of lowest frequency as the input-clock signal of a charge pump circuit, when equipment and a system are set as low-power mode or a standby condition. When this clock is chosen and equipment and a system cancel of low-power mode or a standby condition, the pressure-up potential which can operate immediately can be maintained. Even when equipment and a system are carrying out normal operation of the 3rd effectiveness, I hear that the

current consumed in a booster circuit is made as for it to min, and there is. The reason is that it can change the frequency of the input-clock signal of a charge pump circuit working.

[0029] When the equipment and the system other than the effectiveness of the 1st example are carrying out normal operation of the effectiveness of the 2nd example, I hear that it makes the consumed electric current of a booster circuit real time at min, and can supply pressure-up potential, and there is. The reason is that the output terminal potential and reference voltage of a charge pump circuit are compared, and it can change the frequency of the input-clock signal of a charge pump circuit working.

[0030] Even when the equipment and the system other than the 2nd example are carrying out normal operation to the 1st and the potential of the output terminal of a charge pump circuit falls rapidly, I hear that the effectiveness of the 3rd example can increase supply of a charge according to the degree of a fall, and there is. The reason is that it can make high the frequency of the input-clock signal of a charge pump circuit according to the fall degree of the potential of a charge pump circuit output terminal.

[Translation done.]

* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
 2. **** shows the word which can not be translated.
 3. In the drawings, any words are not translated.
-

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the block diagram showing the configuration of the 1st example of this invention.

[Drawing 2] It is the block diagram showing the configuration of the 2nd example of this invention.

[Drawing 3] It is the block diagram showing the configuration of the 3rd example of this invention.

[Drawing 4] It is the circuit diagram of the charge pump circuit applied to this invention.

[Drawing 5] It is the circuit diagram of the selector circuit applied to this invention.

[Drawing 6] It is the circuit diagram of the frequency setting pointer circuit applied to this invention.

[Drawing 7] It is the circuit diagram of the frequency setting pointer circuit applied to the 2nd example of this invention.

[Drawing 8] It is the circuit diagram of the electrical-potential-difference comparator circuit applied to the 2nd example of this invention.

[Drawing 9] It is the circuit diagram of the clock signal counting-down circuit applied to the 2nd and 3rd example of this invention.

[Drawing 10] It is the circuit diagram of the frequency setting pointer circuit applied to the 3rd example of this invention.

[Drawing 11] It is the circuit diagram of the electrical-potential-difference comparator circuit applied to the 3rd example of this invention.

[Drawing 12] It is the comparator circuit diagram of the electrical-potential-difference comparator circuit of the 2nd and 3rd example of this invention.

[Drawing 13] It is a timing diagram for explaining circuit actuation of the frequency setting pointer of the 1st example of this invention, and a selector.

[Drawing 14] It is a timing diagram for explaining circuit actuation of the frequency setting pointer of the

2nd example of this invention.

[Drawing 15] It is a timing diagram for explaining circuit actuation of the frequency setting pointer of the 3rd example of this invention.

[Drawing 16] It is a timing diagram for explaining circuit actuation of the charge pump circuit applied to this invention.

[Description of Notations]

101, 201, 301 — Frequency setting pointer

102 — Selector

103 — Charge pump circuit

204 — Counting-down circuit

205 305 — Electrical-potential-difference comparator circuit 30 31 — Charge pump circuit capacitor

32, 33, 34 — N channel transistor 35 — Inverter

36 37 — Amplitude-measurement point

CLK, CLK1, CLK2, CLK3, CLK4 — CLKN—CLK selection signal 11 12, 13, 14 — Latch circuit 15 — OR gate

211, 212, 213, 214 — Latch circuit

221, 241, 222, 242, 223, 243, 224, 244 — AND gate

231, 232, 233, 234 — OR gate

[Translation done.]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-236657

(P2000-236657A)

(43) 公開日 平成12年8月29日 (2000.8.29)

(51) Int.Cl.⁷
H 0 2 M 3/07

識別記号

F I
H 0 2 M 3/07

テーマコード (参考)
5 H 7 3 0

審査請求 有 請求項の数 6 O L (全 12 頁)

(21) 出願番号 特願平11-36498

(22) 出願日 平成11年2月15日 (1999.2.15)

(71) 出願人 000164450

九州日本電気株式会社

熊本県熊本市八幡一丁目1番1号

(72) 発明者 菅澤 保夫

熊本県熊本市八幡1-1-1 九州日本電
気株式会社内

(74) 代理人 100108578

弁理士 高橋 詔男 (外3名)

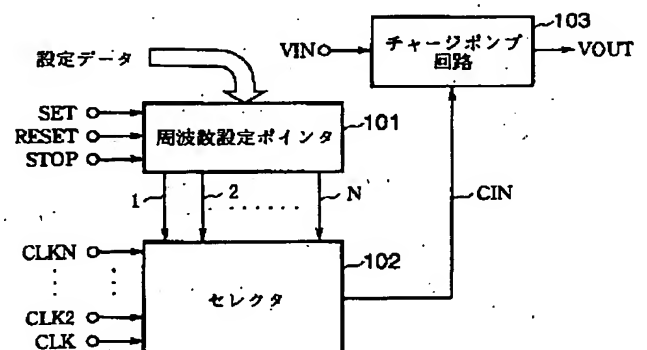
Fターム (参考) 5H730 AA14 BB02 BB57 DD04 FD01
FG07 XC13

(54) 【発明の名称】 昇圧回路

(57) 【要約】

【課題】 電源投入時やリセット時に短時間で昇圧し、スタンバイ時および通常動作時の消費電力の小さい昇圧回路を提供する。

【解決手段】 本発明による昇圧回路は、チャージポンプ回路に入力するクロックの周波数を設定するポインタと、ポインタの値に対応する周波数を選択するセクタを搭載することにより、チャージポンプ回路の出力電圧を一定に保ち、昇圧回路で消費する電流を最小にする。



(2)

【特許請求の範囲】

【請求項1】 チャージポンプ回路と、チャージポンプ回路に入力するクロックの周波数の設定を指示する周波数設定ポイントと、ポイントの値に対応する周波数を選択するセクタを搭載する昇圧回路において、上記周波数設定ポイントは、昇圧回路を含む装置あるいはシステムのリセット時および電源投入時には最も高い周波数にセットされて最短時間で所望の電圧まで昇圧し、低消費電力モードやスタンバイ状態ではチャージポンプ回路の出力電圧をある値以上に保つことができる最も低い周波数にセットされて消費電流を最小に抑え、通常動作時にはチャージポンプ回路に入力するクロックの周波数を使用状況に応じて設定することを特徴とする昇圧回路。

【請求項2】 上記周波数設定ポイントの通常動作時におけるクロックの周波数の設定の指示は、ラッチ回路とORゲートとで構成される上記周波数設定ポイントヘータを書き込み、該書き込み信号を出力させるにより周波数設定することを特徴とする請求項1に記載の昇圧回路。

【請求項3】 チャージポンプ回路と、チャージポンプ回路に入力するクロックの周波数の設定を指示する周波数設定ポイントと、該周波数設定ポイントの通常動作時におけるクロック周波数を設定する電圧比較回路と、該ポイントの値に対応する周波数を選択するセクタと、該セクタに入力するクロック群を生成する分周器を搭載する昇圧回路において、上記電圧比較回路はチャージポンプ回路の出力電圧を特定の基準電圧と比較することにより、周波数設定ポイントにおけるクロック周波数の設定の変更をリアルタイムで、自動的に行うことを特徴とする昇圧回路。

【請求項4】 チャージポンプ回路と、チャージポンプ回路に入力するクロックの周波数の設定を指示する周波数設定ポイントと、該周波数設定ポイントの通常動作時におけるクロック周波数を設定する電圧比較回路と、該ポイントの値に対応する周波数を選択するセクタと、該セクタに入力するクロック群を生成する分周器を搭載する昇圧回路において、上記電圧比較回路は、チャージポンプ回路の出力電圧と、特定の基準電圧とを比較して、チャージポンプ回路の出力電圧が低く、かつ低い度合いが大きいほどクロック周波数を高くすることを特徴とする昇圧回路。

【請求項5】 上記電圧比較回路の基準電圧は上記チャージポンプ回路の出力電圧として許容される最低の電圧であることを特徴とする請求項3および請求項4に記載の昇圧回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、チャージポンプ回路と、チャージポンプ回路に入力するクロックの周波数の設定を指示するポイントと、ポイントの値に対応する

2

周波数を選択するセクタを搭載する昇圧回路に関する。特にチャージポンプ回路の出力電圧(VOUT)を一定に保ち、昇圧回路で消費する電流を最小にすることができ、また、低消費電力モードやスタンバイ状態ではチャージポンプ回路の出力電圧をある値以上に保つことができる最も低い周波数にセットされて消費電流を最小に抑え、また、周波数設定ポイントは、リセット時や電源投入時には最も高い周波数にセットされるため、最短時間で所望の電圧まで昇圧できる昇圧回路に関する。

【0002】

【従来の技術】 従来のチャージポンプ回路を内蔵した昇圧回路において、チャージポンプ回路に入力するクロックの周波数は、固定、あるいは、スタンバイ状態時の切換があるのみであった。例えば、特開平1-241659号公報には、通常動作時と、スタンバイモード時に切り換える技術が記載されている。該公報の図1は、マイクロコンピュータに内蔵する昇圧回路のブロック図が示されている。入力端子Vinと出力端子Voutを有しクロック信号CLKが入力するチャージポンプ回路とクロック信号を切り換える切換回路とで構成されている。該公報の図2によると、分周回路で構成される $1/n$ 分周器とインバータ、ANDゲート、ORゲートで構成されるセクタで分周回路を構成し、通常動作時には基準クロック信号を、スタンバイモード時には基準クロック信号を $1/n$ に分周した信号を、それぞれ選択して、チャージポンプ回路にクロック信号CINを入力する機能を有する。

【0003】

【発明が解決しようとする課題】 しかし、この従来技術では、通常動作時に昇圧回路で消費される電流が大きいという問題があった。その理由は、通常動作時に外部端子から入力する最高周波数のクロック信号をチャージポンプ回路に入力しているからである。例えば、マイクロコンピュータに内蔵するEPROMの読み出しにチャージポンプ回路の出力を利用する場合、内部動作周波数を減じる場合があることや、EPROMのアクセス頻度は時間経過と共に変化するため、チャージポンプ回路の出力で消費する電流は変化する。従って、常に最高周波数のクロック信号をチャージポンプ回路に入力する必要はない。一方、電源投入時やリセット時には、昇圧する時間を最短にするため、最高周波数のクロック信号をチャージポンプ回路に入力することは有効である。本発明は、電源投入時やリセット時には、最短時間で昇圧し、スタンバイ時のみならず、通常動作時にも消費電力を最も低減できる昇圧回路を提供する。

【0004】

【課題を解決するための手段】 本発明による昇圧回路は、チャージポンプ回路に入力するクロックの周波数の設定を指示するポイントと、ポイントの値に対応する周波数を選択するセクタを搭載することにより、チャー

(3)

3

ジポンプ回路の出力電圧 (VOUT) を一定に保ち、昇圧回路で消費する電流を最小にすることができる。周波数設定ポインタは、昇圧回路を含む装置あるいはシステム (例えば、マイクロコンピュータ) のリセット時や電源投入時には最も高い周波数にセットされるため、最短時間で所望の電圧まで昇圧ができ、また、低消費電力モードやスタンバイ状態では予め評価によって求められるチャージポンプ回路の出力電圧 (VOUT) をある値以上に保つことができる最も低い周波数がセットされるため、消費電流を最小に抑えることができる。通常動作時には、チャージポンプ回路に入力するクロックの周波数を使用状況に応じて設定できる。この通常動作時の周波数設定方法は、図1の周波数設定ポインタの場合、周波数設定ポインタへのデータ書き込みによって行うのに対し、図2と図3の昇圧回路は、基準電圧とチャージポンプ回路の出力電圧 (VOUT) を比較する電圧比較回路を内蔵するため、自動的に可変することができ、ポインタの設定を自動化したことを特徴とする。図3の昇圧回路は、さらに、チャージポンプ回路の出力電圧 (VOUT) が低下した場合、低下の度合いによって周波数を高くする割合を可変することができる。請求項1に記載の発明は、チャージポンプ回路と、チャージポンプ回路に入力するクロック周波数の設定を指示する周波数設定ポインタと、ポインタの値に対応する周波数を選択するセレクトを搭載する昇圧回路において、上記周波数設定ポインタは、昇圧回路を含む装置あるいはシステムのリセット時や電源投入時には最も高い周波数にセットされて最短時間で所望の電圧まで昇圧し、低消費電力モードやスタンバイ状態ではチャージポンプ回路の出力電圧をある値以上に保つことができる最も低い周波数にセットされて消費電流を最小に抑え、通常動作時にはチャージポンプ回路に入力するクロックの周波数を使用状況に応じて設定しチャージポンプ回路の出力電圧を一定に保ちかつ昇圧回路で消費する電流を最小にすることを特徴としている。請求項2に記載の発明は、請求項1に記載の昇圧回路において、上記周波数設定ポインタの通常動作時におけるクロックの周波数の設定の指示は、ラッチ回路とORゲートとで構成される上記周波数設定ポインタへデータを書き込み、該書き込み信号を出力させるにより周波数設定することを特徴としている。請求項3に記載の発明は、チャージポンプ回路と、チャージポンプ回路に入力するクロックの周波数の設定を指示する周波数設定ポインタと、該周波数設定ポインタの通常動作時におけるクロック周波数を設定する電圧比較回路と、該ポインタの値に対応する周波数を選択するセレクトと、該セレクトに入力するクロック群を生成する分周器を搭載する昇圧回路において、上記電圧比較回路はチャージポンプ回路の出力電圧を特定の基準電圧と比較することにより、周波数設定ポインタにおけるクロック周波数の設定の変更をリアルタイムで自動的に行うことを特徴と

4

している。請求項4に記載の発明は、チャージポンプ回路と、チャージポンプ回路に入力するクロックの周波数の設定を指示する周波数設定ポインタと、該周波数設定ポインタの通常動作時におけるクロック周波数を設定する電圧比較回路と、該ポインタの値に対応する周波数を選択するセレクトと、該セレクトに入力するクロック群を生成する分周器を搭載する昇圧回路において、上記電圧比較回路は、チャージポンプ回路の出力電圧と、特定の基準電圧とを比較して、チャージポンプ回路の出力電圧が低く、かつ低い度合いが大きいほどクロック周波数を高くすることを特徴としている。請求項5に記載の発明は、請求項3および請求項4に記載の昇圧回路において、上記電圧比較回路の基準電圧は上記チャージポンプ回路の出力電圧として許容される最低の電圧であることを特徴としている。

【0005】

【発明の実施の形態】図1は、本発明の第1の実施例の構成を示すブロック図である。周波数設定ポインタ101、セレクト102、チャージポンプ回路103で構成され、入力電源VINを昇圧して端子VOUTに出力する。入力電源VINは、周波数設定ポインタ101やセレクト102の回路で用いられる電源、あるいは、それ以外の電源でも構わない。端子VOUTは入力電源VINから電荷の供給を得られるため、電源端子として使用することができる。

【0006】次にチャージポンプ回路103の回路例を図4を参照して説明する。図4のチャージポンプ回路は、コンデンサ30、31、Nチャネルトランジスタ32、33、34及びインバータ35で構成され、クロック信号CINに同期して入力電源VINの電荷を端子VOUTに供給する機能を持つ。

【0007】セレクト102を図5の回路例を参照して説明する。セレクト102は、チャージポンプ回路103に入力するクロック信号CINを、周波数の異なるクロック信号CLK、CLK2、CLK3、・・・、CLKNから選択する機能を持つ。クロック信号CLKは本発明の昇圧回路を含む装置、システムで用いる最高周波数のクロックを、クロック信号CLKNは、本発明の昇圧回路を含む装置、システムが低消費電力モードやスタンバイ状態に設定された時に、チャージポンプ回路の端子VOUTの電位をある値以上に保つことができる最低の周波数のクロックである。図5の回路は、チャージポンプ回路に入力するクロック信号CINクロック信号をCLK1、CLK2、CLK3、CLK4から選択できる回路で、クロックドバッファ20、21、22、23で構成される。入力信号1がHighレベルの時、クロック信号CINにはCLK1が選択され、同様に、入力信号2がHighレベルの時にはCLK2、入力信号3がHighレベルの時にはCLK3、入力信号4がHighレベルの時にはCLK4が選択される。この図の回

(4)

5

路例では、選択できるクロック信号が4種類の場合を示しているが、クロック信号の入力数や周波数は任意に設定して構わない。

【0008】次に周波数設定ポイント101の回路例を図6を参照して説明する。ラッチ回路11、12、13、14とORゲート15で構成される。ラッチ回路11の出力信号1は、RESETがHighレベルに変化するときセットされ、信号STOPがHighレベルに変化するときリセットされ、設定データDATA1の値を信号SETがHighレベルに変化するときラッチして出力する信号である。同様に、ラッチ回路12の出力信号2は、信号RESETか信号STOPがHighレベルに変化するときリセットされ、設定データDATA2の値を信号SETがHighレベルに変化するときラッチして出力する信号である。ラッチ回路13の出力信号3は、信号RESETか信号STOPがHighレベルに変化するときリセットされ、設定データDATA3の値を信号SETがHighレベルに変化するときラッチして出力する信号である。ラッチ回路14の出力信号4は、RESETがHighレベルに変化するときリセットされ、信号STOPがHighレベルに変化するときセットされ、設定データDATA4の値を信号SETがHighレベルに変化するときラッチして出力する信号である。

【0009】図4の回路図、及び図16のタイムチャートを参照してチャージポンプ回路103の動作説明を行う。説明のためクロック信号CINとインバータ35の出力信号CINBのHighレベル電圧をVIN、Lowレベル電圧を0、接点36の初期電圧をV36、Nチャネルトランジスタ32、33、34のしきい値をVTとする。クロック信号CINが初期値LowレベルからHighレベルに変化したとき、接点36の電位はV36+VINとなり、Nチャネルトランジスタ32はoff、Nチャネルトランジスタ33はonするため、コンデンサ30で蓄えられた電荷は接点37を介して、コンデンサ31に蓄えられる。この時接点37の電位はVOUT-VTとなり、Nチャネルトランジスタ34はoffするため、VOUT端子から電流の流れ込みはない。この時の状態を図16のT31期間に示す。

【0010】この後クロック信号CINがLowレベルに変化すると、インバータ35の出力信号CINBは、Highレベルになるため、接点37の電位はVOUT-VT+VINに上昇し、Nチャネルトランジスタ33はoff、Nチャネルトランジスタ34はonするためコンデンサ31で蓄えられた電荷は、VOUT端子に送られる。電荷の移動のため接点37の電位は暫時低下する。VOUT端子は接続する装置あるいは回路で電流が消費されるため電位は暫時低下する。一方、Nチャネルトランジスタ32はonするため、入力電源VINの電荷は、コンデンサ30に移動し蓄えられる。この時の状

6

態を図16のT32期間に示す。

【0011】クロック信号CINが再びHighレベルに変化すると、トランジスタ32、33、34は、図16のT33期間に示す状態になり、VOUT端子は電荷の供給がないため電位は更に低下する。T33期間終了時のVOUT端子電位が低すぎると、VOUT端子に接続する装置或いは回路の誤動作を引き起こす可能性がある。

【0012】このようにチャージポンプ回路103は、クロック信号CINに同期して入力電源VINの電荷をVOUT端子に供給することができるので、VOUT端子の電位降下が大きい場合は、クロック信号CINの周波数を高くすることによって、入力電源VINからの電荷供給量を多くする必要があり、VOUT端子の電位降下が小さい場合はクロック信号CINの周波数を低くすることができる。例えば、EPROM内蔵のマイクロコンピュータのEPROM読み出し電圧生成に昇圧回路の出力端子の電源を使う場合、チャージポンプ回路103は、入力電源VINに3Vを入力し、出力端子VOUTに4.5Vを供給する能力がある。

【0013】図13を参照して周波数設定ポイント101の動作説明を行う。図13は、図5に示すセクタと図6に示す周波数設定ポイントの回路動作を示したタイムチャートである。信号RESETが、Highレベルに変化すると、信号1はHighレベルに、信号2、3、4はLowレベルに設定される。RESET信号は、本発明の昇圧回路を含む装置、システムのリセット時や、電源投入時にHighに変化するパルス信号である。この時設定された信号1、2、3、4は、信号SETか信号STOPがHighレベルに変化するまで値を保持する。信号RESETがHighレベルに変化してから、信号SETがHighレベルに変化するまでの期間T1は、信号1がHighレベルであるため、セクタ102にてチャージポンプ回路103にを入力するクロック信号CINは、最高速のクロック信号CLKが選択される。図13のT2、T3、T4、T5期間は、信号SETがHighレベルに変化する時の設定データDATA1、DATA2、DATA3、DATA4の値に従い、信号1、2、3、4のいずれかがHighレベルに設定される。セクタ102ではチャージポンプ回路103にを入力するクロック信号CINは、T2期間ではクロック信号CLKが選択される。同様にT3期間ではクロック信号CLK2、T4期間ではクロック信号CLK4、T5期間ではクロック信号CLK3が選択される。

【0014】信号STOPが、Highレベルに変化すると、信号4がHighレベルに、信号1、2、3がLowレベルに設定される。STOP信号は、本発明の昇圧回路を含む装置、システムが低消費電力モードやスタンバイ状態に設定されたときにHighに変化する信号である。この時にセクタ102では、クロック信号C

(5)

7

CLK4が選択される。クロック信号CLK4は、チャージポンプ回路103の端子VOOUTの電位をある値以上に保つことができる最低周波数のクロックである。この時の状態をT6期間に示す。

【0015】例えば、EPROM内蔵のマイクロコンピュータのEPROM読み出し電圧として、昇圧回路の出力端子の電源を使う場合、最高周波数のクロック信号には、マイクロコンピュータの発振器出力クロック、あるいはPLL回路の出力クロックを利用する。チャージポンプ回路103の端子VOOUTの電位をある値以上に保つことができる最低周波数のクロック信号CLK4には、内蔵する時計タイマー用32KHZの周波数のクロック信号を利用することができる。

【0016】図2は、本発明の第2の実施例の構成を示すブロック図である。周波数設定ポイント201、セクタ102、チャージポンプ回路103、分周器204、電圧比較回路205で構成される。第1の実施例から周波数設定ポイント201の回路を変更し、分周器204と電圧比較回路205を追加した。

【0017】周波数設定ポイント201の回路例を図7を参照して説明する。第1の実施例で構成していたラッチ回路11、12、13、14とORゲート15に加え、ラッチ回路211、212、213、214とANDゲート221、241、222、242、223、243、224、244及びORゲート231、232、233、234で構成される。信号1、2、3、4は、信号RESET及び信号STOPがHighレベルに変化するときは、実施例1と同じ出力であるが、信号SETがHighレベルに変化するときには、信号FASTと信号SLOWの状態に変化する。

【0018】電圧比較回路205の回路例を図8を参照して説明する。回路は比較器59、ANDゲート57、58で構成される。チャージポンプ回路103の端子VOOUTの電位と基準電圧を比較して、端子VOOUTの電位が低い場合は、信号FASTがHighレベル、信号SLOWがLowレベルに設定され、逆に端子VOOUTの電位が高い場合は、信号FASTがLowレベル、信号SLOWがHighレベルに設定される。基準電圧はチャージポンプ回路103の端子VOOUTで許容される最低の電位を入力する。比較器59の回路例を図12に示す。この回路は、Pチャネルトランジスタ50、51、56とNチャネルトランジスタ52、53、54及びインバータ55で構成され、信号STOPがHighレベルの時に比較器は有効に動作しないが、比較器の消費電流をなくすることができる。

【0019】次に、分周器204の回路例を図9を参照して説明する。1/2分周回路41、42、43で構成され、最高周波数のクロック信号CLKを1/2に分周したクロック信号CLK2、1/4に分周したクロック信号CLK3、1/8に分周したクロック信号CLK4

8

を出力する。この図では、3種類のクロック信号を出力する回路構成を述べたが、セクタ102のクロック信号の入力本数に応じて分周回路を増減できる。また、分周回路の分周比を1/2に限定する必要はない。

【0020】実施例2の動作の説明を行う。図14を参照して周波数設定ポイント201の動作説明を行う。図14は、図7の周波数設定ポイントの回路動作を示したタイムチャートである。図14のT11期間で信号1はHighレベルに、信号2、3、4はLowレベルに、ラッチ回路211、212、213、214の出力信号1DはHighレベルに、信号2D、3D、4DはLowレベルに設定される。T12期間で信号SETがHighレベルに変化する時、信号SLOWがHighレベルであるため、信号1はGNDレベルすなわちLowレベルを、信号2は信号1DのHighレベルを、信号3は信号2DのLowレベルを、信号4は信号3DのLowレベルをそれぞれラッチして出力する。

【0021】T13とT14期間も、T12期間と同様に信号SETがHighレベルに変化する時、信号SLOWがHighレベルであるため、信号1はGNDレベルすなわちLowレベルを、信号2は信号1Dを、信号3は信号2Dを、信号4は信号3Dをそれぞれラッチして出力する。セクタ102では、チャージポンプ出力回路に入力するクロック信号CINは、T11期間ではクロック信号CLKが、T12期間ではクロック信号CLK2が、T13期間ではクロック信号CLK3が、T14期間ではクロック信号CLK4が、それぞれ選択され周波数は低くなっていく。

【0022】一方、T15期間では、信号SETがHighレベルに変化する時、信号FASTがHighレベルであるため、信号1は信号2DのLowレベルを、信号2は信号3DのLowレベルを、信号3は信号4DのHighレベルを、信号4はGNDレベルすなわちLowレベルをそれぞれラッチして出力する。この時、T14期間に比べチャージポンプ出力回路に入力するクロック信号CINは、周波数が高くなる。この様にして、信号SLOWがHighレベルの時には、チャージポンプに入力する信号CINの周波数を高く、信号FASTがHighレベルの時には、周波数を低くすることができる。

【0023】図3は、本発明の第3の実施例の構成を示すブロック図である。周波数設定ポイント301、セクタ102、チャージポンプ回路103、分周器204、電圧比較回路305で構成される。第2の実施例から周波数設定ポイント301と電圧比較器305の回路を変更した。

【0024】周波数設定ポイント301の回路例を図10を参照して説明する。第2の実施例で構成していたラッチ回路11、12、13、14、211、212、213、214とORゲート15に加え、ANDゲート

(6)

9

261, 271, 281, 241, 262, 272, 282, 242, 263, 273, 283, 243, 264, 274, 284, 244, 及びORゲート311, 291, 292, 293, 294で構成される。

【0025】電圧比較回路505の回路例を図11を参照して説明する。第2の実施例で構成していた比較器59、ANDゲート57に加え、比較器63, 64とANDゲート60, 61, 62、抵抗65, 66, 67で構成される。チャージポンプ回路103の端子VOUTの電位と基準電圧を比較して、端子VOUTの電位が低い場合は、低い度合いが大きい程信号FAST2、FAST1、FASTの順でどれかがHighレベルとなり、信号SLOWがLowレベルに設定される。逆に端子VOUTの電位が高い場合は、信号FAST、FAST1、FAST2がLowレベル、信号SLOWがHighレベルに設定される。基準電圧は実施例2と同様にチャージポンプ回路103の端子VOUTで許容される最低の電位を入力する。比較器59, 63, 64の回路は実施例2と同様に図12に示す。

【0026】実施例3の動作の説明を行う。図15を参照して周波数設定ポイント301の動作説明を行う。図15は、図10の周波数設定ポイントの回路動作を示したタイムチャートである。T21期間からT24期間までは、信号SETがHighレベルに変化する点で、信号SLOWがHighレベルであるため、第2の実施例の周波数設定ポイント201のタイムチャート図14に示すT11期間からT14期間と全く同じ動作である。同様に、図15のタイムチャートには示していないが信号SETがHighレベルに変化する点で、信号FASTがHighレベルの場合も、第2の実施例と全く同じ動作である。

【0027】信号SETがHighレベルに変化する点で、信号FAST1がHighレベルの場合、信号1は信号2Dか信号3DがHighレベルの場合はHighレベルを、そうでない場合はLowレベルをラッチして出力する。信号2は信号4Dのレベルをラッチして出力する。信号3, 4はGNDレベルすなわちLowレベルをラッチして出力する。図15のT25期間の例では、信号4DがHighレベルで、信号1D, 2D, 3DがLowレベルの為、信号2が信号4DのHighレベルを、信号1, 3, 4は、それぞれLowレベルをラッチして出力する。信号SETがHighレベルに変化する点で、信号FAST2がHighレベルの場合、信号1は電源レベルすなわちHighレベルをラッチして出力する。信号2, 3, 4はGNDレベルすなわちLowレベルをそれぞれラッチして出力する。このように信号FAST1やFAST2がHighレベルに変化すると、実施例2で信号FASTがHighレベルに変化した場合に比べ、チャージポンプ出力回路に入力するクロック信号CINは、より周波数を高くすることができる。

10

【0028】

【発明の効果】第1の実施例における第1の効果は、装置、システムのリセット時や電源投入時に最短時間で所望の電位まで昇圧することができるということである。その理由は、装置、システムのリセット時や、電源投入時に、チャージポンプ回路の入力クロック信号に、最高周波数のクロックを選択するからである。第2の効果は、装置、システムが低消費電力モードやスタンバイ状態に設定された時に、昇圧回路で消費する電流を最小にできるということである。その理由は、装置、システムが低消費電力モードやスタンバイ状態に設定された時、チャージポンプ回路の入力クロック信号に、最低周波数のクロックを選択するからである。このクロックが選択されたときには、装置、システムが低消費電力モードやスタンバイ状態から解除した場合に、直ちに動作可能な昇圧電位を維持することができる。第3の効果は、装置、システムが通常動作している場合でも、昇圧回路で消費する電流を最小にできるということである。その理由は、チャージポンプ回路の入力クロック信号の周波数を、動作中に変更することができるからである。

【0029】第2の実施例の効果は、第1の実施例の効果の他に、装置、システムが通常動作している場合、リアルタイムに昇圧回路の消費電流を最小にして、かつ昇圧電位を供給できるということである。その理由は、チャージポンプ回路の出力端子電位と基準電圧を比較して、チャージポンプ回路の入力クロック信号の周波数を、動作中に変更することができるからである。

【0030】第3の実施例の効果は、第1と第2の実施例の他に、装置、システムが通常動作している場合、チャージポンプ回路の出力端子の電位が急激に低下した場合でも、低下の度合いに応じ電荷の供給を増やすことができるということである。その理由は、チャージポンプ回路出力端子の電位の低下度合いに応じてチャージポンプ回路の入力クロック信号の周波数を、高くすることができるからである。

【図面の簡単な説明】

【図1】 本発明の第1の実施例の構成を示すブロック図である。

【図2】 本発明の第2の実施例の構成を示すブロック図である。

【図3】 本発明の第3の実施例の構成を示すブロック図である。

【図4】 本発明に適用されたチャージポンプ回路の回路図である。

【図5】 本発明に適用されたセレクト回路の回路図である。

【図6】 本発明に適用された周波数設定ポイント回路の回路図である。

【図7】 本発明の第2の実施例に適用された周波数設定ポイント回路の回路図である。

(7)

11

【図8】 本発明の第2の実施例に適用された電圧比較回路の回路図である。

【図9】 本発明の第2、第3の実施例に適用されたクロック信号分周器の回路図である。

【図10】 本発明の第3の実施例に適用された周波数設定ポイント回路の回路図である。

【図11】 本発明の第3の実施例に適用された電圧比較回路の回路図である。

【図12】 本発明の第2、第3の実施例の電圧比較回路の比較器回路図である。

【図13】 本発明の第1の実施例の周波数設定ポイントとセクタの回路動作を説明するためのタイムチャートである。

【図14】 本発明の第2の実施例の周波数設定ポイントの回路動作を説明するためのタイムチャートである。

【図15】 本発明の第3の実施例の周波数設定ポイントの回路動作を説明するためのタイムチャートである。

【図16】 本発明に適用されたチャージポンプ回路の

12

回路動作を説明するためのタイムチャートである。

【符号の説明】

101、201、301…周波数設定ポイント

102…セクタ

103…チャージポンプ回路

204…分周器

205、305…電圧比較回路 30、31…チャージポンプ回路コンデンサ

32、33、34…Nチャネルトランジスタ

35…インバータ

36、37…電圧測定点

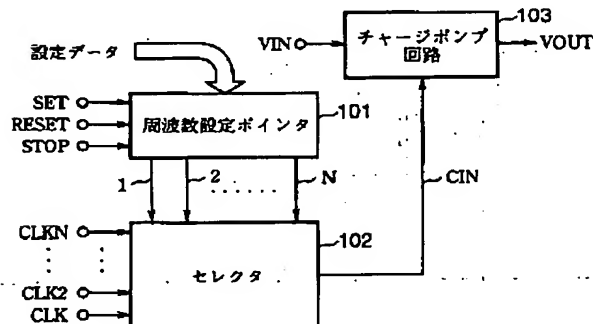
CLK、CLK1、CLK2、CLK3、CLK4、…、CLKN…CLK選択信号 11、12、13、14…ラッチ回路 15…ORゲート

211、212、213、214…ラッチ回路

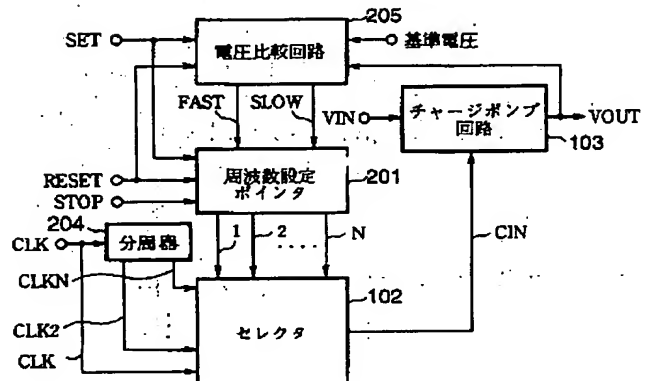
221、241、222、242、223、243、224、244…ANDゲート

231、232、233、234…ORゲート

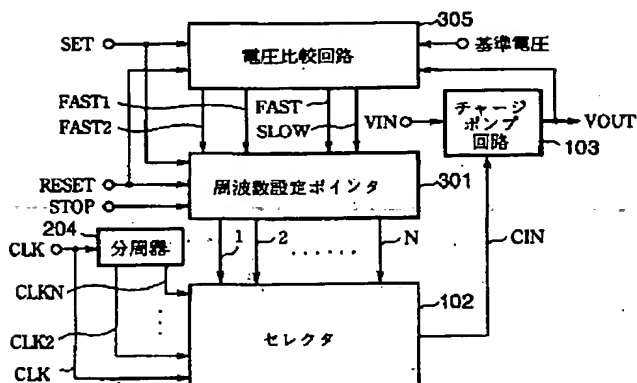
【図1】



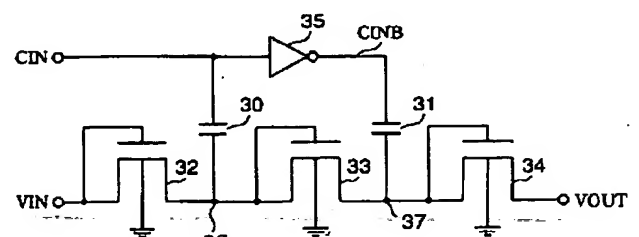
【図2】



【図3】

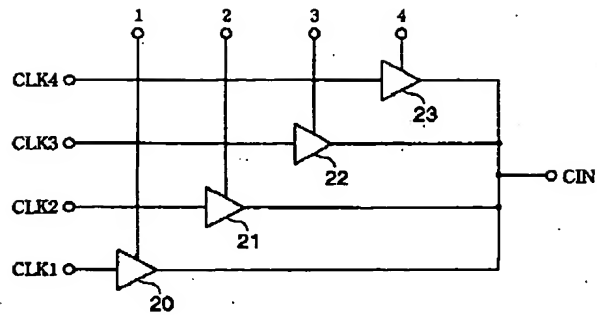


【図4】

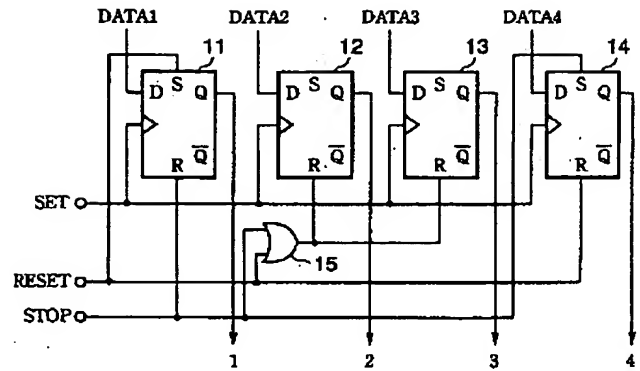


(8)

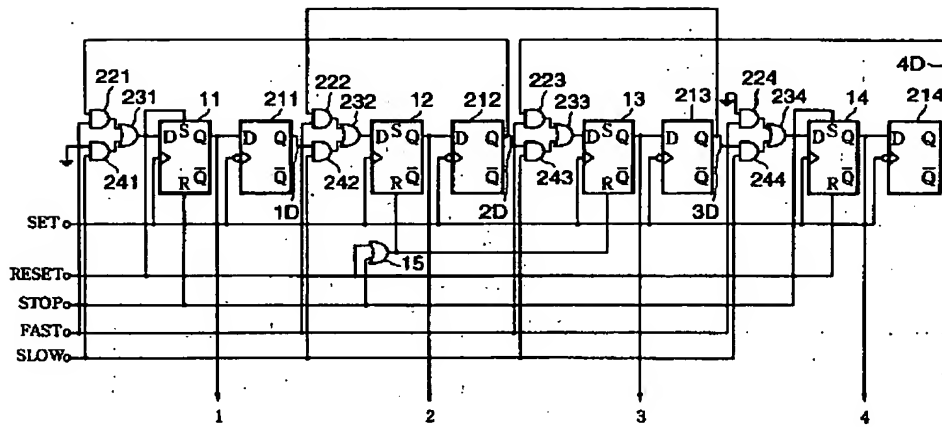
【図5】



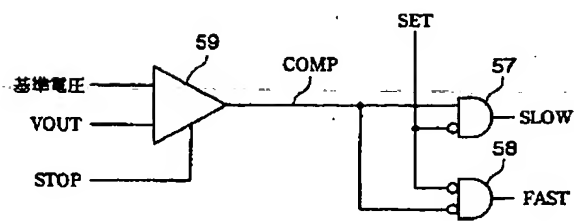
【図6】



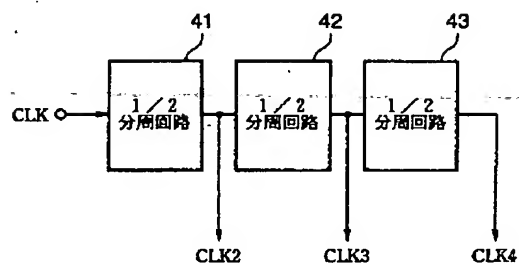
【図7】



【図8】

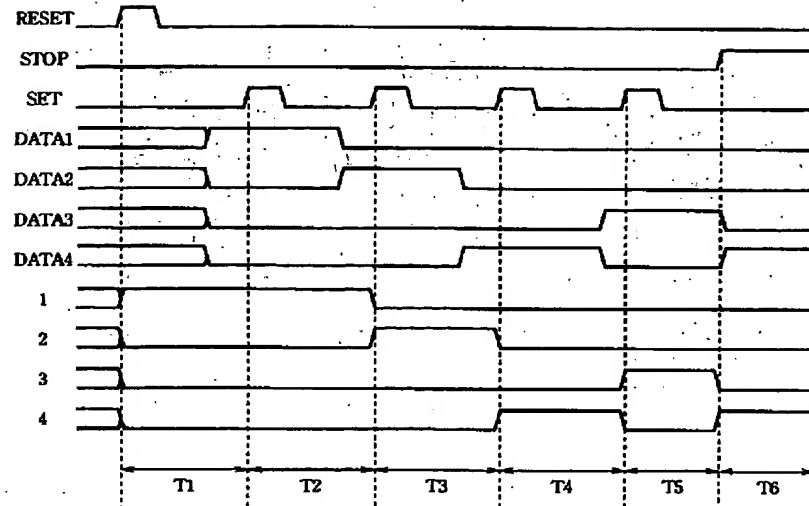


【図9】

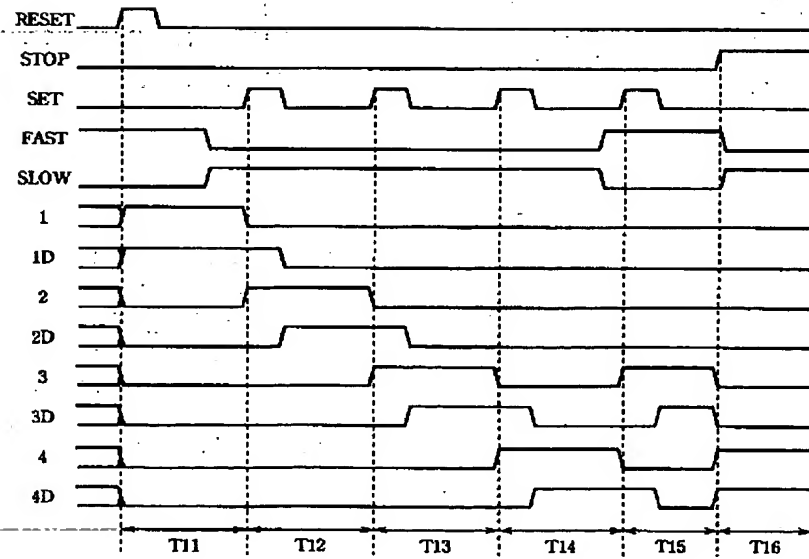


(10)

【図 13】

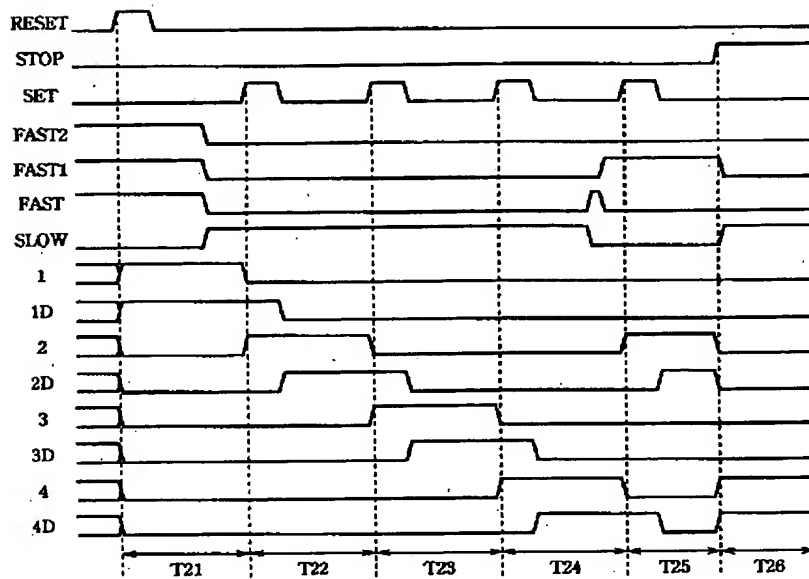


【図 14】



(11)

【図15】



【手続補正書】

【提出日】平成12年2月4日(2000.2.4)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項1】チャージポンプ回路と、チャージポンプ回路に入力するクロックの周波数の設定を指示する周波数設定ポイントと、ポイントの値に対応する周波数を選択するセレクトを搭載する昇圧回路において、上記周波数設定ポイントは、昇圧回路を含む装置あるいはシステムのリセット時および電源投入時には最も高い周波数にセットされて最短時間で所望の電圧まで昇圧し、低消費電力モードやスタンバイ状態ではチャージポンプ回路の出力電圧をある値以上に保つことができる最も低い周波数にセットされて消費電流を最小に抑え、通常動作時にはチャージポンプ回路に入力するクロックの周波数を使用状況に応じて設定することを特徴とする昇圧回路。

【請求項2】上記周波数設定ポイントの通常動作時におけるクロックの周波数の設定の指示は、ラッチ回路とORゲートとで構成される上記周波数設定ポイントヘデータを書き込み、該書き込み信号を出力させるにより周波数設定することを特徴とする請求項1に記載の昇圧回路。

【請求項3】請求項1に記載の昇圧回路において、さら

に前記周波数設定ポイントの通常動作時におけるクロック周波数を設定する電圧比較回路と、前記セレクトに入力するクロック群を生成する分周器を昇圧回路に搭載し、

前記電圧比較回路はチャージポンプ回路の出力電圧を特定の基準電圧と比較することにより、周波数設定ポイントにおけるクロック周波数の設定の変更をリアルタイムで、自動的にを行うことを特徴とする昇圧回路。

【請求項4】請求項1に記載の昇圧回路において、さらに前記周波数設定ポイントの通常動作時におけるクロック周波数を設定する電圧比較回路と、前記セレクトに入力するクロック群を生成する分周器を昇圧回路に搭載し、

前記電圧比較回路は、チャージポンプ回路の出力電圧と、特定の基準電圧とを比較して、チャージポンプ回路の出力電圧が低く、かつ低い度合いが大きいほどクロック周波数を高くすることを特徴とする昇圧回路。

【請求項5】上記電圧比較回路の基準電圧は上記チャージポンプ回路の出力電圧として許容される最低の電圧であることを特徴とする請求項3および請求項4に記載の昇圧回路。

【請求項6】チャージポンプ回路と、前記チャージポンプ回路に入力するクロックの周波数の設定を指示する周波数設定ポイントとを搭載する昇圧回路において、前記周波数設定ポイントは、昇圧回路を含む装置あるいはシステムのリセット時および電源投入時には最も高い周波数にセットされて最短時間で所望の電圧まで昇圧す

(12)

ることを特徴とする昇圧回路。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0004

【補正方法】変更

【補正内容】

【0004】

【課題を解決するための手段】本発明による昇圧回路は、チャージポンプ回路に入力するクロックの周波数の設定を指示するポイントと、ポイントの値に対応する周波数を選択するセレクタを搭載することにより、チャージポンプ回路の出力電圧 (VOUT) を一定に保ち、昇圧回路で消費する電流を最小にすることができる。周波数設定ポイントは、昇圧回路を含む装置あるいはシステム (例えば、マイクロコンピュータ) のリセット時や電源投入時には最も高い周波数にセットされるため、最短時間で所望の電圧まで昇圧ができ、また、低消費電力モードやスタンバイ状態では予め評価によって求められるチャージポンプ回路の出力電圧 (VOUT) をある値以上に保つことができる最も低い周波数がセットされるため、消費電流を最小に抑えることができる。通常動作時には、チャージポンプ回路に入力するクロックの周波数を使用状況に応じて設定できる。この通常動作時の周波数設定方法は、図 1 の周波数設定ポイントの場合は、周波数設定ポイントへのデータ書き込みによって行うのに対し、図 2 と図 3 の昇圧回路は、基準電圧とチャージポンプ回路の出力電圧 (VOUT) を比較する電圧比較回路を内蔵するため、自動的に可変することができ、ポイントの設定を自動化したことを特徴とする。図 3 の昇圧回路は、さらに、チャージポンプ回路の出力電圧 (VOUT) が低下した場合、低下の度合いによって周波数を高くする割合を可変することができる。請求項 1 に記載の発明は、チャージポンプ回路と、チャージポンプ回路に入力するクロック周波数の設定を指示する周波数設定ポイントと、ポイントの値に対応する周波数を選択するセレクタを搭載する昇圧回路において、上記周波数設定ポイントは、昇圧回路を含む装置あるいはシステムのリセット時や電源投入時には最も高い周波数にセットされて最短時間で所望の電圧まで昇圧し、低消費電力モード

やスタンバイ状態ではチャージポンプ回路の出力電圧をある値以上に保つことができる最も低い周波数にセットされて消費電流を最小に抑え、通常動作時にはチャージポンプ回路に入力するクロックの周波数を使用状況に応じて設定しチャージポンプ回路の出力電圧を一定に保ちかつ昇圧回路で消費する電流を最小にすることを特徴としている。請求項 2 に記載の発明は、請求項 1 に記載の昇圧回路において、上記周波数設定ポイントの通常動作時におけるクロックの周波数の設定の指示は、ラッチ回路と OR ゲートとで構成される上記周波数設定ポイントヘデータを書き込み、該書き込み信号を出力させるにより周波数設定することを特徴としている。請求項 3 に記載の発明は、請求項 1 に記載の昇圧回路において、さらに前記周波数設定ポイントの通常動作時におけるクロック周波数を設定する電圧比較回路と、前記セレクタに入力するクロック群を生成する分周器を昇圧回路に搭載し、前記電圧比較回路はチャージポンプ回路の出力電圧を特定の基準電圧と比較することにより、周波数設定ポイントにおけるクロック周波数の設定の変更をリアルタイムで自動的に行うことを特徴としている。請求項 4 に記載の発明は、請求項 1 に記載の昇圧回路において、さらに前記周波数設定ポイントの通常動作時におけるクロック周波数を設定する電圧比較回路と、前記セレクタに入力するクロック群を生成する分周器を昇圧回路に搭載し、前記電圧比較回路は、チャージポンプ回路の出力電圧と、特定の基準電圧とを比較して、チャージポンプ回路の出力電圧が低く、かつ低い度合いが大きいほどクロック周波数を高くすることを特徴としている。請求項 5 に記載の発明は、請求項 3 および請求項 4 に記載の昇圧回路において、上記電圧比較回路の基準電圧は上記チャージポンプ回路の出力電圧として許容される最低の電圧であることを特徴としている。請求項 6 に記載の発明は、チャージポンプ回路と、前記チャージポンプ回路に入力するクロックの周波数の設定を指示する周波数設定ポイントとを搭載する昇圧回路において、前記周波数設定ポイントは、昇圧回路を含む装置あるいはシステムのリセット時および電源投入時には最も高い周波数にセットされて最短時間で所望の電圧まで昇圧することを特徴としている。